

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

#2 | Priority  
paper  
11-16-00  
R. Atkes  
267 \$  
US  
1c841 U.S. PRO  
09/667706  
09/22/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application: 1999年10月27日

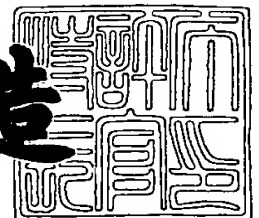
出 願 番 号  
Application Number: 平成11年特許願第305702号

出 願 人  
Applicant(s): 日本電気株式会社

2000年 7月21日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3056122

【書類名】 特許願

【整理番号】 74112025

【提出日】 平成11年10月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 井上 顕

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 浜田 昌幸

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100070219

    【弁理士】

    【氏名又は名称】 若林 忠

    【電話番号】 03-3585-1882

【選任した代理人】

    【識別番号】 100088328

    【弁理士】

    【氏名又は名称】 金田 暢之

【選任した代理人】

    【識別番号】 100106138

    【弁理士】

    【氏名又は名称】 石橋 政幸

【選任した代理人】

    【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 D R A M 部及びロジック部を同一基板上に形成した D R A M 混載半導体装置において、少なくとも D R A M 部及びロジック部のトランジスタのソース・ドレイン領域の全面及びゲート表面がシリサイド化されていることを特徴とする半導体装置。

【請求項 2】 前記シリサイドが、チタン、コバルト又はニッケルのシリサイドであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記 D R A M 及びロジック部のトランジスタにおけるゲートが全て P－N ゲートである請求項 1 に記載の半導体装置。

【請求項 4】 D R A M 部とビット線を連絡するビットコンタクトと、ロジック部のソース・ドレインへのコンタクトプラグを有し、これらコンタクトが共に金属材料から形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 素子分離された半導体基板上に、D R A M 部及びロジック部を形成する D R A M 混載半導体装置の製造方法であって、D R A M 部及びロジック部のトランジスタを構成するソース・ドレイン領域全面及びゲート表面を同一工程を用いて同時にシリサイド化することを特徴とする半導体装置の製造方法。

【請求項 6】 前記シリサイド化は、金属膜を基板全面に形成した後熱処理し、未反応金属膜を除去することで行うことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記金属膜がチタン、コバルト又はニッケルであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 D R A M 部及びロジック部のトランジスタを構成するソース・ドレイン領域形成時に同時にゲートに不純物注入を行って P－N ゲートを形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 9】 D R A M 部とビット線を連絡するビットコンタクトと、ロジック部のソース・ドレインへのコンタクトプラグを形成する工程を有し、これらコンタクトを共に金属材料から形成することを特徴とする請求項 5 に記載の半導

体装置の製造方法。

【請求項 1 0】 メモリセル及び周辺回路を有する半導体装置において、メモリセル部及び周辺回路部のトランジスタのソース・ドレイン領域の全面及びゲート表面がシリサイド化されていることを特徴とする半導体装置。

【請求項 1 1】 前記シリサイドが、チタン、コバルト又はニッケルのシリサイドであることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 2】 メモリセル及び周辺回路を有する半導体装置の製造方法であって、メモリセル部及び周辺回路部のトランジスタのソース・ドレイン領域の全面及びゲート表面を同一工程により同時にシリサイド化することを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記シリサイド化は、金属膜を基板全面に形成した後熱処理し、未反応金属膜を除去することで行うことを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記金属膜がチタン、コバルト又はニッケルであることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、ロジック（論理回路）と D R A M（Dynamic Random Access Memory）とが同一基板上に混載された S O C (System On Chip) の改良に関する。

【0 0 0 2】

【従来の技術】

汎用 D R A M（1 チップにメモリ領域と、デコーダー、センスアンプ、I / O 回路等で構成される周辺回路のみ搭載）では、これまでメモリセルのホールド特性が重視されており、そのため、セルトランジスタのソース・ドレイン領域の不純物濃度を周辺回路におけるそれよりも低濃度にして接合リーク電流を抑えることが一般的であった。

【0 0 0 3】

最近では、コンピュータグラフィックスを使った画像処理をより高速に行うことが要求されてきている。このため、図9に示すように、メモリセル33とデコーダ、センスアンプなどの周辺回路34からなるDRAM部32と、高速にグラフィック処理を行う論理演算部（ロジック部）35、更にこれらを外部回路と接続するI/O部36を1チップに搭載したDRAM混載ロジックチップ、いわゆるSOC31が提案されている。

## 【0004】

従来、DRAM部では、ショートチャネル効果の抑制とドレイン電界の緩和のためにソース・ドレイン（S/D）は低濃度にしておかなければならず、このため、S/D領域では接合が浅く、シリサイド化によりリーク電流が増加する可能性がある点が指摘されていた。これに対し、DRAM部のシリサイド化を試みる提案が成されている。

## 【0005】

例えば、特開平11-97649号公報には、（1）DRAM部のメモリセル領域のソース・ドレイン（S/D）領域は不純物濃度を低濃度としてリークを少なくし、一方の周辺回路部のS/D領域は不純物を高濃度に注入し、更にゲート表面及び活性領域表面をシリサイド化して高速動作を可能とする構成（実施の形態1）、（2）DRAMセル部において、容量コンタクトが接続されるS/D領域（低濃度不純物領域）は非シリサイド領域とし、ビット線コンタクトが接続されるS/D領域（低濃度不純物領域）及びセルトランジスタのゲート表面のみをシリサイド化することで、配線抵抗の低減、コンタクト抵抗の低減を行い、読み出し、書き込み動作の高速化を可能とする構成（実施の形態2）、（3）DRAMメモリセル部のLOCOS端、すなわちバースピーク近傍に、トランジスタのサイドウォール形成の際に積層するTEOS酸化膜を選択的に残して、該部分以外を、セルゲート及びロジック部と同様にシリサイド化して、接合リークを抑制しつつ、読み出し、書き込み動作を高速化できる構成（実施の形態3）などが開示されている。例えば、該公報の実施の形態3について、図10に示すメモリセル部の概略断面図を用いて説明すれば、半導体基板41は分離酸化膜42により素子分離されており、その間にメモリセルトランジスタが形成されている。ゲー

ト電極 4 8 表面とビット線 5 1 とのコンタクト 5 2 a とストレージノード 5 3 とのコンタクト 5 2 b が半導体基板 4 1 と接する領域においてシリサイド層 4 9 が形成されており、基板上のシリサイド層は低濃度不純物領域 4 7 に形成される。分離酸化膜 4 2 の端部には T E O S 酸化膜 5 0 が形成されており、その部分ではシリサイド化されないようにして、分離酸化膜 4 2 の下にシリサイド層が回り込みエッジからの接合リークが発生することを抑えている。なお、同図において、4 3 ～4 5 はそれぞれ層間絶縁膜、4 6 はゲート酸化膜、5 4 は誘電体膜、5 5 はセルプレートを示す。

## 【 0 0 0 6 】

又、特開平 1 1－1 7 1 2 9 号公報には、D R A M セル部とロジック部のトランジスタの S / D をそれぞれ別工程で形成し、セル選択用のトランジスタの S / D に達するコンタクトを形成した後、該コンタクトを介して S / D 領域の表面をシリサイド化してコンタクトホールに導電膜を埋め込む構成が開示されている。なお、ロジック部のトランジスタの S / D 領域もシリサイド化されるが、セル選択用トランジスタの S / D 領域のシリサイド化とは異なる工程で実施されている。又、ゲート表面も別工程でシリサイド化しても良い旨記載されている。

## 【 0 0 0 7 】

これら従来技術においては、いずれも、D R A M セルトランジスタの S / D は依然低濃度に、ロジック部のトランジスタの S / D は高濃度に形成されていた。すなわち、この様な S O C 構成では、既存の D R A M に高速ロジックを合体するという思想で、設計が行われていた。従って、D R A M 部とロジック部を別々の工程で製造する必要があり、コストの低減を見込むことはできない。しかしながら、S O C はシステムアプリケーション毎に設計製造する性格のものであり、汎用の D R A M と比較して少量他品種であるため、コスト削減が大きな意味をもつものである。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

そこで、本発明では、この様な従来の思想を一転して、高速ロジックに D R A M を合体させるという思想に基づき、高速化を図りつつ、D R A M 部においても

必要十分な特性を有するSOCを低コストに提供できる製造方法並びにその構造を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

すなわち、本発明は、DRAM部及びロジック部を同一基板上に形成したDRAM混載半導体装置において、少なくともDRAM部及びロジック部のトランジスタのソース・ドレイン領域の全面及びゲート表面がシリサイド化されていることを特徴とする半導体装置であり、又、素子分離された半導体基板上に、DRAM部及びロジック部を形成するDRAM混載半導体装置の製造方法であって、DRAM部及びロジック部のトランジスタを構成するソース・ドレイン領域全面及びゲート表面を同一工程を用いて同時にシリサイド化することを特徴とする半導体装置の製造方法である。

#### 【0010】

更に本発明は、メモリセル及び周辺回路を有する半導体装置において、メモリセル部及び周辺回路部のトランジスタのソース・ドレイン領域の全面及びゲート表面がシリサイド化されていることを特徴とする半導体装置にも関する。

#### 【0011】

##### 【発明の実施の形態】

以下、図面を参照して本発明を詳細に説明する。図1～8は本発明の一実施形態になる半導体装置の製造方法を示す工程断面図である。

#### 【0012】

まず、Si基板1に公知のトレンチ分離により埋め込み酸化膜2を形成し、ロジック部のN-MOS、P-MOS、DRAM部をそれぞれ素子分離する。続いて、基板1表面に熱酸化により薄い酸化膜(SiO<sub>2</sub>:犠牲酸化膜、不図示)を形成し、通常の方法でロジック部及びDRAM部のデコーダー、センスアンプ、I/O回路等で構成される周辺回路へのPチャネル、Nチャネル、メモリセルへのNチャネルを形成するためのチャネルイオン注入並びにそれぞれのウェル(Pウェル3、Nウェル4、セルPウェル5)形成のためのイオン注入を行う。これにより、図1に示す構造が形成される。なお、図1では簡略化のため、各ウェル



と素子分離のための埋め込み酸化膜 2 のみを、又、DRAM 部ではメモリセルのみを記載しているが、この構成に限定されるものではない。セル P ウェル 5 と P ウェル 3 は同時に注入しても別でも良い。又、メモリセル領域にディープ N ウェルを形成しても良い。

#### 【0013】

犠牲酸化膜を除去した後、ゲート酸化膜（不図示）を再度熱酸化により形成する。この時、DRAM 部のゲート酸化膜厚はロジック部よりも厚くすることが好ましい。続いて、各トランジスタのゲートとなるポリシリコン層を全面に形成し、所望のゲート電極形状にパターニングする。その後、各部の LDD 領域 7 a、7 b、7 c をそれぞれ形成するように、不純物イオンを注入する。この時、LDD 領域 7 a 及び 7 c の形成は同時に行っても別々に行っても良い。その後、全面に酸化膜を TEOS などを用いて CVD 法で成膜し、異方性エッチングを行って、ゲート電極 6 の側面に LDD サイドウォール 8 を形成する（図 2）。

#### 【0014】

次に、図 3 に示すように、N-MOS 部及び DRAM 部をレジスト 9 a でマスクし、P-MOS 部のみを露出させて、P-MOS 部の S/D 領域 10 a 形成のための B や  $\text{BF}_2$  などの p 型不純物をイオン注入する。例えば、 $\text{BF}_2$  を 20 keV で  $3 \times 10^{15}$  程度注入する。なお、この時、ゲートポリシリコンにも同時にイオン注入され、その結果、P ゲートとなる。

#### 【0015】

続いて、図 4 に示すように、P-MOS 部のみにレジスト 9 b を形成し、N-MOS 及び DRAM 部に P や As などの n 型不純物を、例えば、As を 50 keV で  $3 \times 10^{15} \sim 6 \times 10^{15}$  程度導入し、それぞれに S/D 領域 10 b 及び 10 c を形成する。この時、ゲートポリシリコンにも同時にイオン注入され、その結果、N ゲートとなる。これらの結果から、P-ch は P ゲート、N-ch は N ゲートを有した、いわゆる P-N ゲートとなる。その後、例えば、RTA（ランプアニール）で 1000℃、10 秒程度行い、導入した不純物を活性化する。なお、ここでは N-MOS と DRAM 部とに同時にイオン注入しているが、それぞれ別工程で実施しても良い。

## 【0016】

続いて、図5に示すように、全面にシリサイド化のための金属膜をスパッタ法などにより成膜する。ここでは、コバルト (Co) 膜 11 を成膜した例を示しているが、これに限定されず、チタンやニッケルなど、シリコンと熱反応させてシリサイドを形成できる金属材料であれば同様に使用することができる。

## 【0017】

次に、熱処理して未反応の Co 膜 11 を除去する。例えば、500～600℃程度の温度で30秒間、N<sub>2</sub>ガス雰囲気中で熱処理し、硫酸と過酸化水素水との混合液にて未反応の Co 膜を除去し、更に窒素ガス雰囲気中で800℃、10秒程度の熱処理を行う（いわゆる、サリサイド法）ことで、図6に示すように、各 S/D 領域 (10) 全面及びゲート電極 (6) 上にコバルトシリサイド (CoSi<sub>2</sub>) 12 が形成される。

## 【0018】

その後、従来と同様にして、第1層間膜 13 を形成後、DRAM部に容量電極と接続するためのコンタクトホールを形成し、更にコンタクトホール内に金属或いはポリシリコンなどを埋め込み、容量コンタクト 14 を形成する。続いて、下部電極 15、不図示の容量絶縁膜及び上部電極 16 を形成して容量電極を形成する（図7）。ここでは、下部電極 15 としてスタック型の容量電極を示しているが、これに限定されず、従来公知のシリンダ型や更に複雑な構造の電極形状とすることもでき、またポリシリコンを用いた場合には HSG (Hemispherical Silicon Grain) 電極とすることもできる。又、Ti/TiN/Wなどの公知の材料を用いて、容量コンタクト、下部電極、上部電極などを形成することもでき、材料、構造等は適宜設計に応じて選択すればよい。

## 【0019】

更に図8に示すように、第2層間膜 17 を形成後、ロジック部のトランジスタの各 S/D 領域へのコンタクト 18 並びにDRAM部へのビット線コンタクト 19 を Ti/TiN/Wなどの公知の金属材料を用いて形成し、さらにビット線を兼ねる第1配線 20 は Al、TiN、Wなどの公知の配線材料を全面にスパッタ法などで成膜しパターン化して形成する。もちろん、ビット線と第1配線を別層

、別材料を用いて形成しても差し支えない。

【0020】

なお、コンタクトホール形成に際しては、基板上にエッチングストッパ層を形成しておくこと、形成されたシリサイド層をエッチングの際に彫り込むことが無くなり、好ましい。

【0021】

本発明で従来と最も異なる点は、DRAM部のメモリセル部に対しても $n^+$ となる高濃度のS/D領域を形成している点である。この様に高濃度のS/D領域上にシリサイドを形成することで、良好なオーミックコンタクトを形成することができる。又、接合が深くなることで、シリサイドをS/D領域全面に形成しても接合リーク電流は発生し難くなる。一方、従来の低濃度不純物領域( $n^-$ )にシリサイドを形成したとしてもショットキーコンタクトとなり、低抵抗化の目的を達成するには不十分である。

【0022】

又、メモリセル部のS/D領域をこの様に高濃度不純物領域としたことで、シリサイド化により良好なオーミックコンタクトが形成でき、十分に実用に供し得るものであり、それにもまして本発明では素子全体の高速化並びに工程の簡略化の寄与する効果が大きいため、技術的意義は極めて大きいものである。

【0023】

以上の説明では、DRAM搭載SOCについて例示したが、本発明では、ロジック部などを混載しない、すなわち、DRAM部のみを有する半導体装置にも適用し得るものであり、DRAMセル及び周辺回路機能素子を有する半導体装置において、DRAMセル部及び各種デコーダ、センスアンプ等周辺回路機能素子部のトランジスタのソース・ドレイン領域の全面及びゲート表面がシリサイド化されていることを特徴とする半導体装置も本発明の対象である。この場合も、上記の説明に準じて、DRAMセル部と周辺回路部を同一工程で同時にシリサイド化することができ、素子全体の高速化と、工程の簡略化を図ることができる。

【0024】

【発明の効果】

以上説明したように、本発明によれば、DRAM部のソース・ドレイン領域が高濃度不純物領域とされ、該領域上全面及びゲート表面をシリサイド化することで良好なオーミックコンタクトの形成が可能となる。又、このシリサイドの形成は、ロジック部のシリサイド化と同一工程で同時に行うことができ、工程数の増大を抑えることが可能となり、素子全体の高速化と低コスト化とを両立することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 2】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 3】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 4】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 5】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 6】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 7】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 8】

本発明の一実施形態になる半導体装置の製造方法の一工程を説明する概略断面図である。

【図 9】

DRAM搭載SOCの構成を例示する概略図である。

【図 1 0】

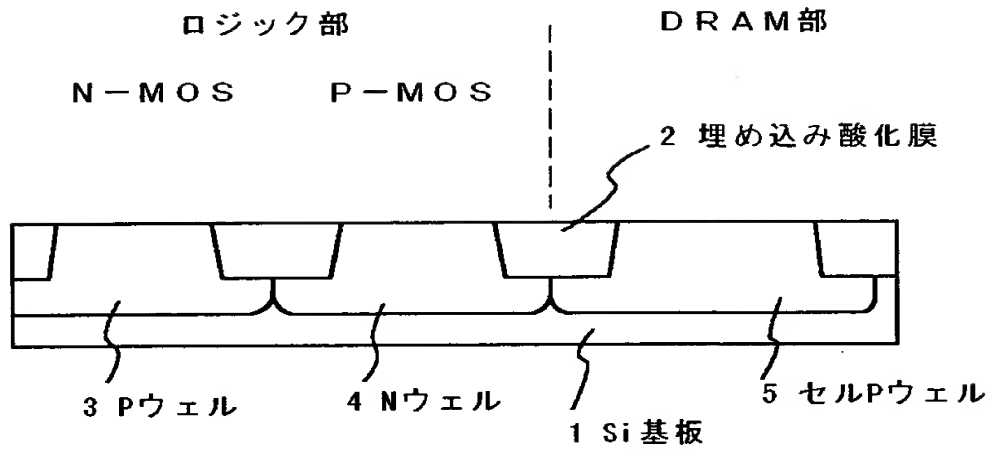
従来技術になるDRAMセル部分の断面図である。

【符号の説明】

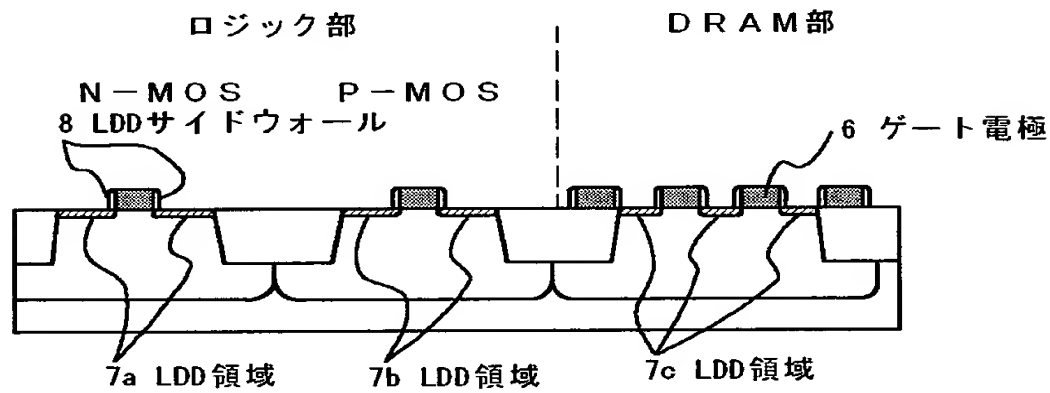
- 1 半導体基板
- 2 埋め込み酸化膜
- 3 Pウェル
- 4 Nウェル
- 5 セルPウェル
- 6 ゲート電極
- 7 LDD領域
- 8 サイドウォール
- 9 レジスト
- 1 0 S/D領域
- 1 1 Co膜
- 1 2 CoSi<sub>2</sub>膜
- 1 3 第1層間膜
- 1 4 容量コンタクト
- 1 5 下部電極
- 1 6 上部電極
- 1 7 第2層間膜
- 1 8 コンタクト
- 1 9 ビット線コンタクト
- 2 0 第1配線（容量部のビット線を兼ねる）

【書類名】 図面

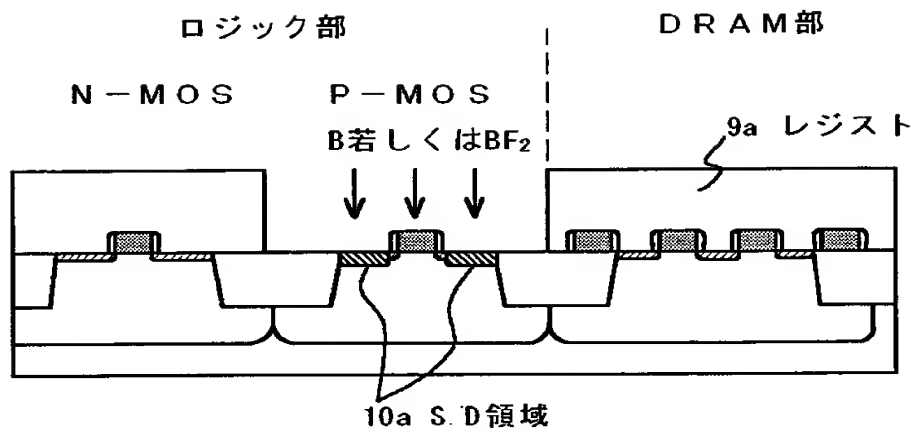
【図 1】



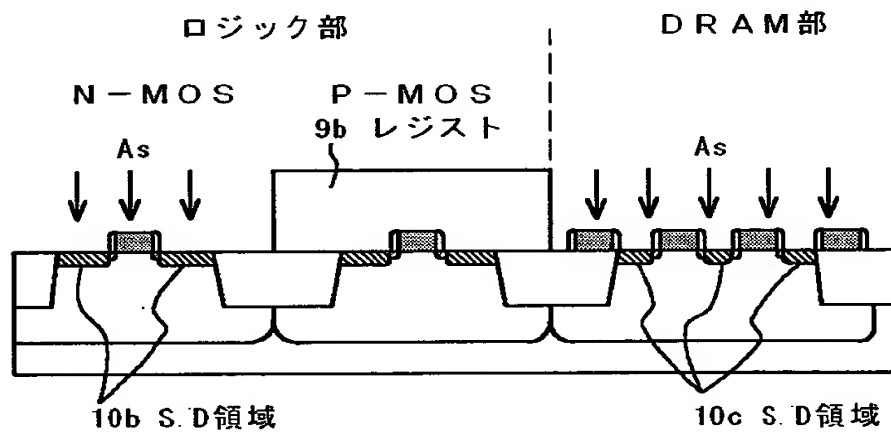
【図 2】



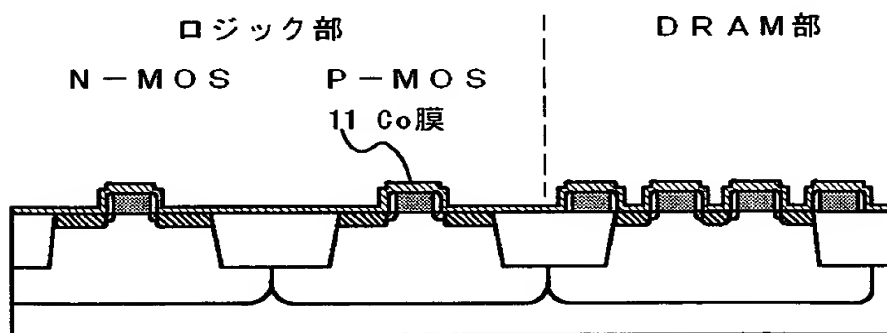
【図3】



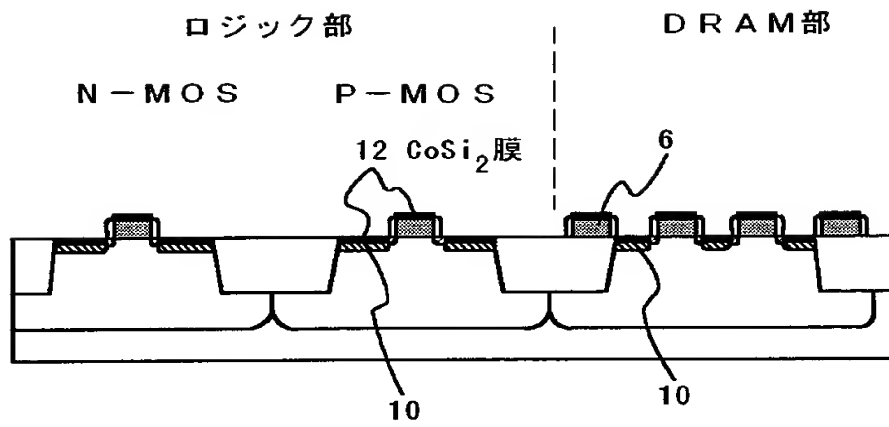
【図4】



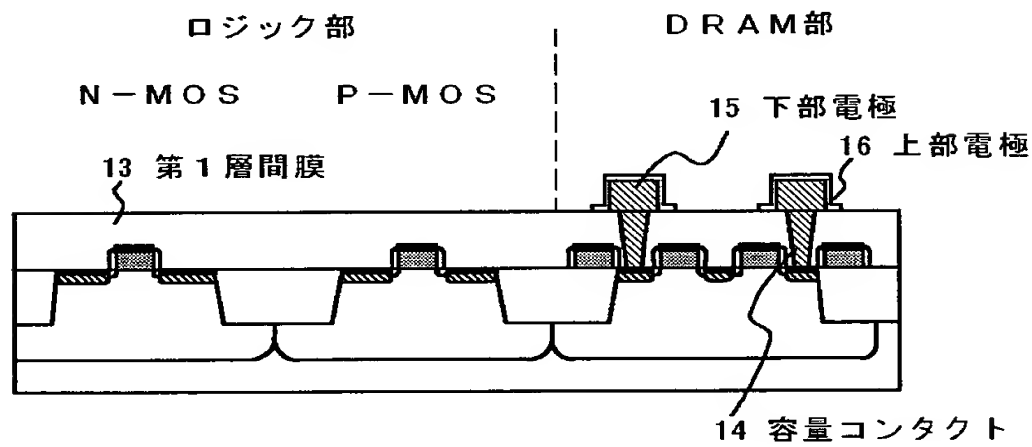
【図5】



【図 6】

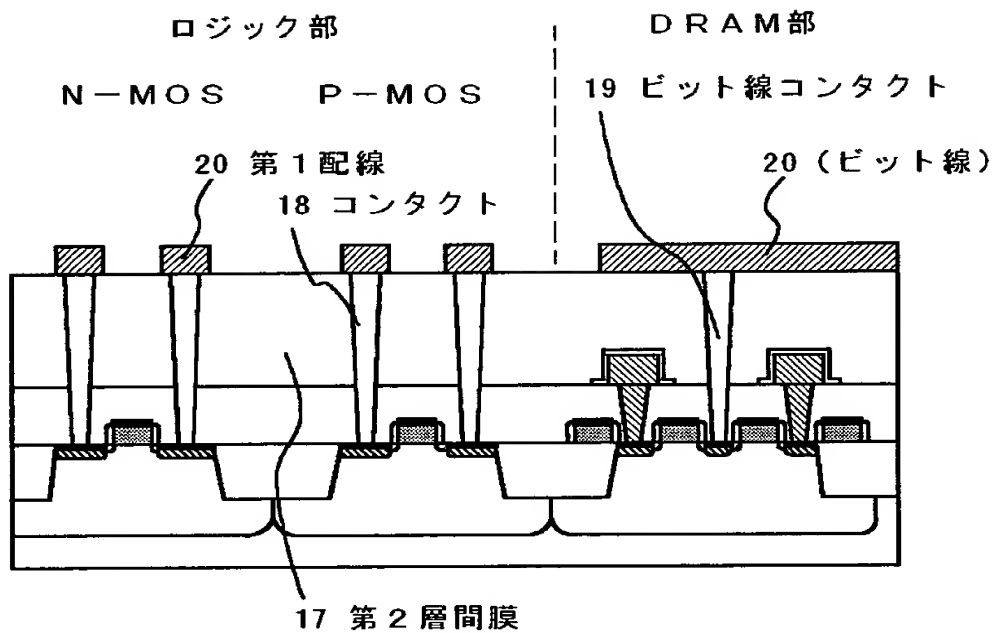


【図 7】

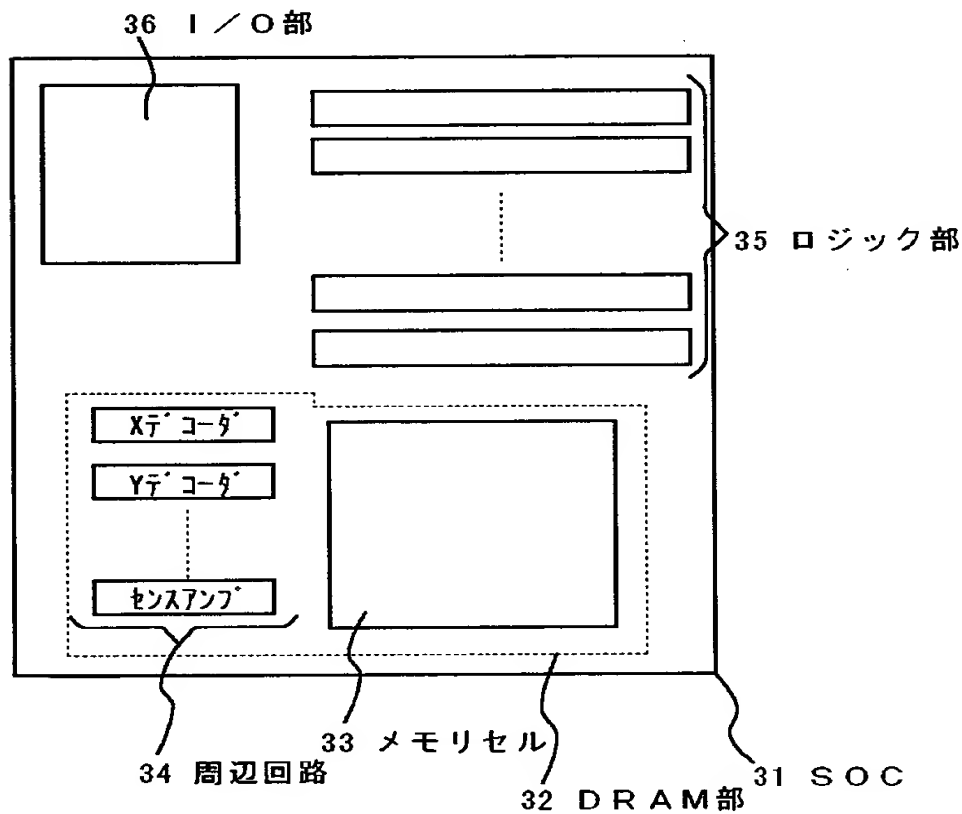




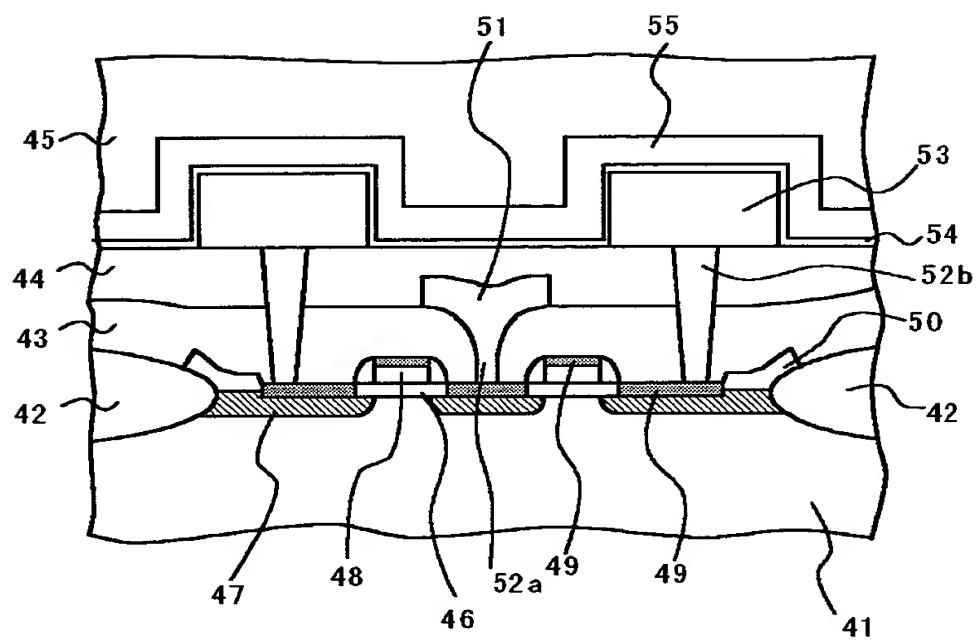
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 D R A M 部及びロジック部を同一基板上に形成した D R A M 混載半導体装置（S O C）において、素子全体の高速化を図りつつ、D R A M 部においても必要十分な特性を有する S O C を低コストに提供する。

【解決手段】 少なくとも D R A M 部及びロジック部のトランジスタのソース・ドレイン領域（1 0）の全面及びゲート（6）表面に同一工程で同時にシリサイドを形成する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社